

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-153764
(43)Date of publication of application : 27.05.1992

(51)Int.Cl. G06F 15/16

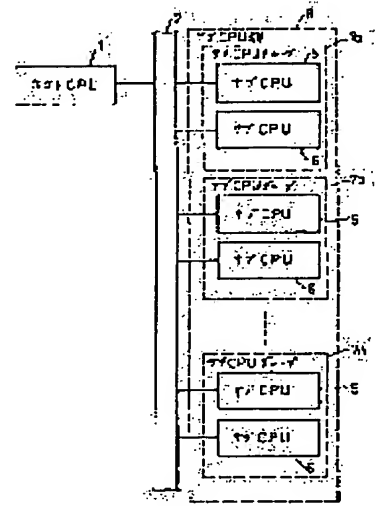
(21)Application number : 02-277760 (71)Applicant : NEC CORP
(22)Date of filing : 18.10.1990 (72)Inventor : TAWARA HIROSHI

(54) SYSTEM FOR INCREASING PROCESSING SPEED OF DECENTRALIZED CPU

(57)Abstract:

PURPOSE: To shorten the total processing time in the title system by attaining a constitution where plural sub-CPU's process the same processing request in parallel with each other and with different algorithms and selecting only the processing results of the sub-CPU's having the short processing time.

CONSTITUTION: The sub-CPU 5 and 6 have the same address in a local area network 2 and carry out simultaneously the processing requests given from a host CPU 1. Then the sub-CPU's also monitor the end information given from other sub-CPU's asynchronously with each other while carrying out the processing operations in response to the processing request of the CPU 1. When the processing end information is detected, the sub-CPU's end forcibly the processing operations under execution. In a sequential retrieval example of a table, a difference of processing time is produced between both CPU 5 and 6 according to the position in the table where the retrieval data is set. In this respect, only the processing operations of the sub-CPU's having the short processing time. Thus the total processing time can be shortened.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑫ 公開特許公報(A) 平4-153764

⑤ Int. Cl.⁸

G 06 F 15/16

識別記号

3 7 0 N

庁内整理番号

9190-5L

⑬ 公開 平成4年(1992)5月27日

審査請求 未請求 請求項の数 1 (全3頁)

⑭ 発明の名称 分散CPUの処理高速化方式

⑯ 特 願 平2-277760

⑰ 出 願 平2(1990)10月18日

⑱ 発 明 者 田 原 弘 志 東京都港区芝5丁目7番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑳ 代 理 人 弁理士 山川 政樹 外3名

明 細 書

1. 発明の名称

分散CPUの処理高速化方式

2. 特許請求の範囲

1台のホストCPUと複数のサブCPUがローカルエリアネットワークで接続した分散CPUシステムにおいて、ホストCPUからの処理要求をサブCPUが実行する場合、複数のサブCPUが同一の処理要求に対して異なるアルゴリズムで並列に処理を実行し、処理時間の短いサブCPUの処理結果だけを選択することを特徴とする分散CPUの処理高速化方式。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明はローカルエリアネットワークで接続した分散CPUシステムにおいて、同一の処理要求を異なる方法で実行するサブCPUの中で、処理時間の最も短いものだけを選択する分散CPUの処理高速化方式に関する。

〔従来の技術〕

第3図は従来の分散CPUシステムを示すブロック図である。同図において、1はホストCPU、2はローカルエリアネットワーク、3は複数のサブCPU 4a～4nからなるCPU群であり、ホストCPU 1とはローカルエリアネットワーク2を介して接続している。このホストCPU 1およびサブCPU 4a～4nはそれぞれローカルエリアネットワークにおける固有アドレスを付与されている。そして、このサブCPU 4a～4nは個別の機能を持ち、ホストCPU 1からの処理要求に応じてその処理を実行したのち、処理結果をホストCPU 1に返す。そして、このホストCPU 1はサブCPUが分散する処理を必要とする場合には、該当する処理を実行するサブCPU固有のアドレスを付加した処理要求メッセージをローカルエリアネットワーク2上に出送する。各サブCPU 4a～4nでは各自の固有アドレスと一致する処理要求メッセージを受信した場合にはその該当する処理を実行し、アドレスの一致しない処理要求メッセージは廃棄するものである。

〔発明が解決しようとする課題〕

この従来の分散CPUシステムでは、各サブCPUに搭載されたプログラムのアルゴリズムによつては特定の処理要求に対して処理時間が長くなるという欠点があつた。

〔課題を解決するための手段〕

この発明に係る分散CPUの処理高速化方式は、ホストCPUからの処理要求をサブCPUが実行する場合、複数のサブCPUが同一の処理要求に対して異なるアルゴリズムで並列に処理を実行し、処理時間の短いサブCPUの処理結果だけを選択するようにしたものである。

〔作用〕

この発明は同一の処理要求を異なる方法で実行するサブCPUの中で、処理時間の最も短いものだけを選択することにより、システム全体の処理時間を短縮することができる。

〔実施例〕

第1図はこの発明に係る分散CPUの処理高速化方式の一実施例を示す構成図である。同図において、5および6は同一機能を有し、ホストCPU1

トCPU1に対して処理結果を応答して処理を終了する。そして、サブCPUでは、ホストCPU1からの処理要求に応じた処理を実行中、他のサブCPUからの終了通知を非同期に監視し、処理終了通知を検出した時点で、実行中の処理を強制終了する。

また、前述した表の逐次検索の例では検索データが表のどこに位置するかで、サブCPU5とサブCPU6で処理時間に差がある。そして、処理時間の短いサブCPUの処理だけを選択することにより、サブCPUでの検索時間を短縮することができる。

〔発明の効果〕

以上詳細に説明したように、この発明に係る分散CPUの処理高速化方式によれば、ホストCPUからの処理要求をサブCPUが実行する場合に、複数のサブCPUが同一の処理要求に対して異なるアルゴリズムで並列に処理を実行し、処理時間の短いサブCPUの処理結果だけを選択することにより全体の処理時間を短縮することができる効果がある。

4. 図面の簡単な説明

第1図はこの発明に係る分散CPUの処理高速化

からの処理要求に対して同じ結果を返すが、処理の実現方法が異なるサブCPUであり、その処理の流れ図を第2図に示し、例えばサブCPUの機能が表の逐次検索である場合サブCPU5では表の先頭から検索し、サブCPU6では表の最後から検索する処理を実行する。7a~7nはこのサブCPU5およびサブCPU6から構成したサブCPUグループ、8はこのサブCPUグループ7a~7nで構成したサブCPU群である。

次に、上記構成による分散CPUの処理高速化方式の動作について第2図を参照して説明する。まず、サブCPU5およびサブCPU6はローカルエリアネットワーク2上で、同一のアドレスを有し、ホストCPU1からの処理要求を同時に実行する。まず、ステップ8₁で、サブCPU5およびサブCPU6はホストCPU1からの処理要求メッセージを受信すると、ステップ8₂でこの該当する処理を実行する。そして、ステップ8₃で、この処理終了後、同一サブCPUグループ内の他のサブCPUに処理終了通知を発行し、ステップ8₄で、ホス

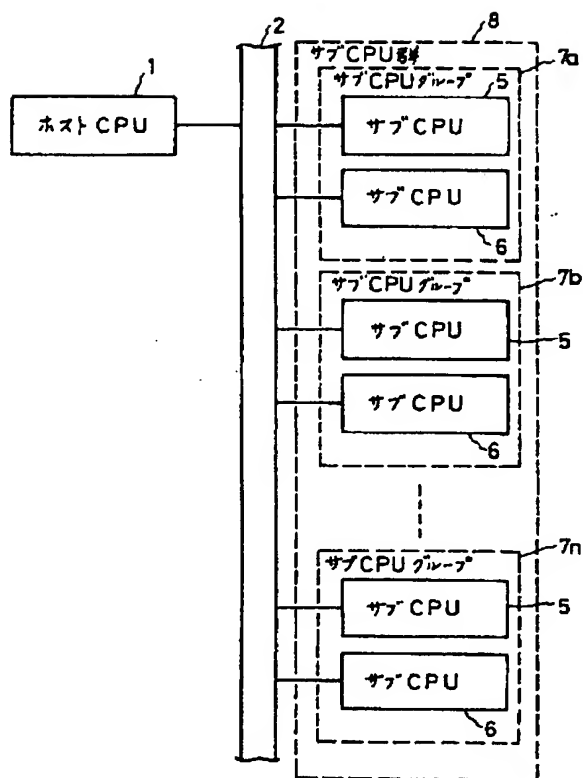
方式の一実施例を示す構成図、第2図は第1図のサブCPUの処理動作の流れ図、第3図は従来の分散CPUシステムを示すブロック図である。

1.....ホストCPU、2.....ローカルエリアネットワーク、5および6.....サブCPU、7a~7n.....サブCPUグループ、8.....サブCPU群。

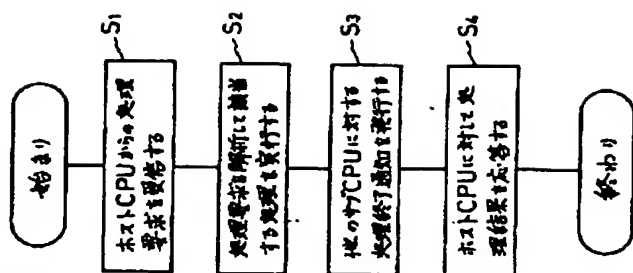
特許出願人 日本電気株式会社

代理人 山 川 政 樹

第 1 図



第 2 図



第 3 図

